

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

10302498 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09118867

(51) Intl. Cl.: G11C 29/00 G01R 31/28 G11C 17/00

(22) Application date: 21.04.97

(30) Priority:

(43) Date of application
publication: 13.11.98(84) Designated
contracting states:

(71) Applicant: RICOH CO LTD

(72) Inventor: UEDA NAOHIRO

(74) Representative:

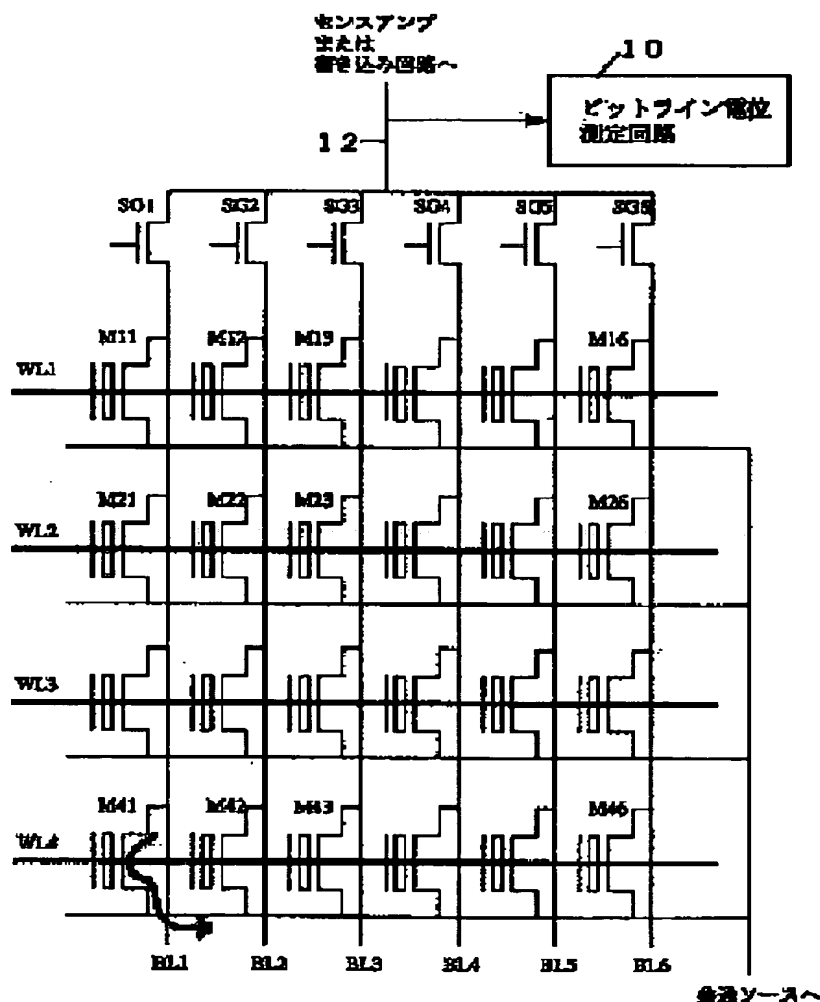
(54) SEMICONDUCTOR
MEMORY TESTING METHOD
AND DEVICE THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To shorten the test time of an EEPROM.

SOLUTION: A bit line potential measuring circuit 10 is connected to the bit line wiring 12 connected to drains of respective memory transistors of a semiconductor memory and a prescribed voltage is simultaneously impressed on all bit lines BL1-BL6 and, moreover, all word lines WL1-WL4 are held at a low voltage so that the memory transistors are not selected. Then, voltages of the bit lines BL1-BL6 at that time are measured by the bit line potential measuring circuit 10.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-302498

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶
G 1 1 C 29/00
G 0 1 R 31/28
G 1 1 C 17/00

識別記号
6 5 1

F I
G 1 1 C 29/00 6 5 1 Z
17/00 D
G 0 1 R 31/28 B

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21)出願番号 特願平9-118867

(22)出願日 平成 9 年(1997) 4 月21日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72)発明者 上田 尚宏

東京都大田区中馬込 1 丁目 3 番 6 号 株式
会社リコー内

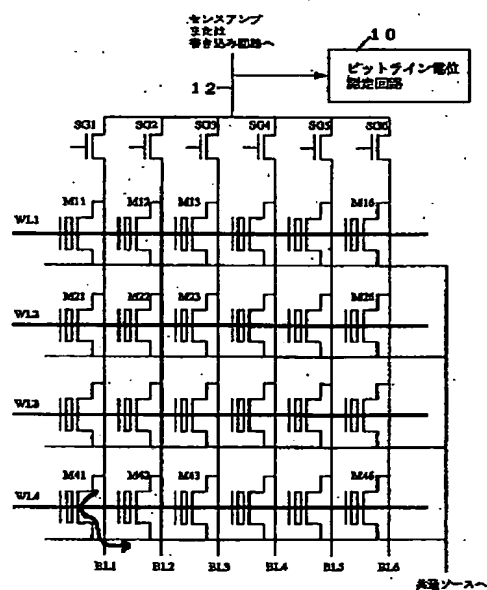
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 半導体メモリーのテスト方法およびその装置

(57)【要約】

【目的】 EPROMのテスト時間を短縮する。

【構成】 ビットライン電位測定回路 10 を、半導体メモリー装置の各メモリートランジスタのドレインに接続されたビットライン配線 12 に接続し、全ビットライン BL 1 ~ BL 6 に同時に所定の電圧を印加し、またメモリートランジスタが選択されないように全ワードライン WL 1 ~ WL 4 を低電圧に保ち、そのときのビットライン BL 1 ~ BL 6 の電圧をビットライン電位測定回路 10 によって測定する。



【特許請求の範囲】

【請求項1】 複数行、複数列にマトリクス状に配置され、フローティングゲートを持つ複数のメモリートランジスタを備えた不揮発性半導体メモリー装置のテスト方法において、

メモリートランジスタへの書き込み動作を行なう前に、各メモリートランジスタのドレインに接続されたビットライン配線に所定の電圧を印加し、その時のビットライン電圧を測定し、その値が予め定められた基準値以下であれば書き込み動作を実施することなくそのチップを書き込み不良と判断することを特徴とする不揮発性半導体メモリーのテスト方法。

【請求項2】 複数行、複数列にマトリクス状に配置され、フローティングゲートを持つ複数のメモリートランジスタを備えた不揮発性半導体メモリー装置において、各メモリートランジスタのドレインに接続されたビットライン配線にテストモード時にビットライン電位を測定するビットライン電位測定回路を備えたことを特徴とする不揮発性半導体メモリー装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フローティングゲートをもつメモリートランジスタを備えたEPROMやEEPROMなどの不揮発性半導体メモリー装置とそのテスト方法に関するものである。

【0002】

【従来の技術】EPROMのテストは読み出しに関するテストと書き込みに関するテストの2つが行なわれ、そのうち書き込みに関するテストが全体のテスト時間の大半を占めているのが現状である。

【0003】図1は、従来のEPROMの回路構成例である。図において、M11～M46は、フローティングゲートを有し、マトリクス状に配置されたメモリートランジスタであり、各行毎のメモリートランジスタのコントロールゲートにはそれぞれワードラインWL1～WL4が接続され、各列毎のメモリートランジスタのドレインにはそれぞれビットラインBL1～BL6が接続されている。すなわち、各ビットラインBL1～BL6には複数のメモリートランジスタが接続されている。また、各ビットラインBL1～BL6は選択トランジスタSG1～SG6を介してセンスアンプまたは書き込み回路につながっている。また、各メモリートランジスタのソースは共通ソースに接続され、共通ソースを介して接地されている。

【0004】次に動作について説明する。例えば、メモリートランジスタM11に情報を書き込む場合を考える。メモリートランジスタM11のみを選択するために、図示しないローデコーダによってワードラインWL1のみを選択し、メモリートランジスタM11のコントロールゲート（ワードラインWL1）に高電圧を加え

る。このとき、ワードラインWL2～WL4は低電圧である。同時に、図示しないカラムデコーダによって選択トランジスタSG1をオンにすることによって、ビットラインBL1を選択し、そのビットラインBL1につながるメモリートランジスタM11、M21、M31、M41のドレイン電極（ビットラインBL1）に高電圧を加える。このとき、他の選択トランジスタSG2～SG4はオフとなっていて、ビットラインBL2～BL4は低電圧である。このような状態にするとメモリートランジスタM11のみが選択され、メモリートランジスタM11のドレイン電極のピンチオフ領域において発生したホットエレクトロンがメモリートランジスタM11のフローティングゲートに注入され、書き込みが行なわれる。

【0005】次に選択メモリートランジスタと同一ビットライン上の非選択メモリートランジスタに意図しないリーク電流が流れ、書き込み不良が生じた場合を考える。図1において、メモリートランジスタM11を選択したとき、例えば非選択メモリートランジスタM41にリーク電流が流れたとする。リーク電流が流れることでビットラインBL1の電位が下がり、選択メモリートランジスタM11への書き込みが起こりにくくなる。すなわち、書き込みテストの際、非選択メモリートランジスタに意図しないリーク電流が流れてしまうと、非選択メモリートランジスタと同一ビットライン上にある選択メモリートランジスタへの書き込みが正しく行われないことがある。

【0006】従来の書き込みテストのフローチャートを図2に示す。書き込みテストを実施し判定を行う。

(①)。選択メモリートランジスタに書き込みが実施されなかった場合、追加書き込みループ(②)が働き、書き込みを繰り返す。設定された最大回数以内で書き込みができたメモリートランジスタは良品、最大回数の書き込みを繰り返しても書き込みができなかったメモリートランジスタは不良品として処理される。

【0007】

【発明が解決しようとする課題】NOR型が主流のEPROMの書き込み方式は、ほとんどがチャネルホットエレクトロン注入方式である。この方式では、1ビット当りの書き込み時間が数十マイクロ秒から数ミリ秒と大きい上に、電子の注入効率が悪く大電流が必要なために並列同時書き込みのビット数が制限される。さらに書き込み効率の若干劣るビットを救済するために追加書き込みを行なうのが普通であり、このことも書き込みテストに要する時間を増大させている。

【0008】このような事情により、全ビット書き込みが正常に行なわれることを確認する100%書き込みテストではメガビット級の集積度で約10秒程度の時間がかかるのが現状となっている。テスト時間の増大はそのまま製品コストの上昇につながるので大きな問題になっ

ている。本発明は、不揮発性メモリー、特にEPROMのテスト時間の短縮化を目的とするものである。

【0009】

【課題を解決するための手段】このような課題を解決するために、本発明は、メモリートランジスタへの書き込み動作を行なう前に、各メモリートランジスタのドレインに接続されたビットライン配線に所定の電圧を印加し、その時のビットライン電圧を測定し、その値が予め定められた基準値以下であれば書き込み動作を実施することなくそのチップを書き込み不良と判断するようにしたテスト方法である。また、本発明のメモリー装置は、上記のテスト方法を実行するために、各メモリートランジスタのドレインに接続されたビットライン配線にテストモード時にビットライン電圧を測定するビットライン電位測定回路を備えたものである。

【0010】本発明においては、書き込みテストを実施する前にビットラインに所定の電圧を印加し、ビットライン電位測定回路を用いてビットライン電圧を測定し、その結果を用いることによって書き込み不良のチップをスクリーニングする。ビットライン電位測定回路は、このテストを行なうためにのみ使用する専用の回路であり、チップにそのような専用回路を設けておく。しかし、ビットライン電位測定回路として専用の回路を設けていない場合であっても、センスアンプを用いて同じテスト方法を実施することもできる。したがって、本発明のテスト方法は、そのような専用のビットライン電位測定回路を備えていないチップにも適用されるものである。

【0011】

【実施例】図3に本発明の一実施例を示す。尚、図1と同じ部分には同一符号を付す。この実施例は、EPROMの回路構成例であり、ビットライン電位測定回路以外は図1と同様の構成よりなっている。ビットライン電位測定回路10は、各メモリートランジスタのドレインに選択トランジスタSG1～SG6を介して接続されたビットライン配線12に接続されている。ビットライン電位測定回路10はテストモード時のみに動作するようになっている。

【0012】次に動作について説明する。メモリートランジスタに書き込み動作を行なう前に、メモリートランジスタが選択されないように、ワードラインWL1～WL4は低電圧に保っておき、全ての選択トランジスタSG1～SG6をオンとして全てのビットラインBL1～BL6に所定の電圧を印加し、その時のビットライン電圧をビットライン電位測定回路10によって測定する。このときの電圧値は書き込み電圧 V_{pp} （例えばS/D耐圧を6Vとすると5V程度）を用いると、新たに電圧を設定する手間が省けるので実現が容易である。また、判定を行うための基準値は、印加した電圧以下にする必要があり、例えば3V程度がよい。チップ上の全てのメ

モリートランジスタが正常であるならば、印加した電圧と基準値の電圧との間の電圧がビットライン電位測定回路10により測定される。

【0013】次にビットラインに所定の電圧を印加した際に、意図しないリーク電流が流れた場合を考える。図3に示すように、メモリートランジスタM41が不良トランジスタのために、リーク電流が流れたとする。このときビットラインBL1～BL6には所定の電圧（5V）を印加しており、またメモリートランジスタが選択されないように、ワードラインWL1～WL4を低電圧に保っている。リーク電流が流れたためにビットラインBL1の電位が低下し、ゆえにビットライン全体の電位も低下する。このときの電圧をビットライン電位測定回路10によって測定し、電圧が予め定められた基準値以下であれば書き込みテストを実施することなく、このチップを書き込み不良と判定する。

【0014】本発明のテストフローチャートを図4に示す。書き込みテスト(①)を行う前に全ビットラインに同時に所定の電圧を印加し、ビットライン電位測定回路10によってビットライン電位の測定を実施し、チップが良品か不良品かの判定を行う(③)。測定値が基準値以下の場合には不良品と判定され、書き込みテストを実施しない。測定値が基準値を上回る場合は正常と判定して書き込みテストを実施する。書き込みテストにより、さらにメモリートランジスタの良品と不良品の判別を行う。

【0015】

【発明の効果】書き込みテストを実施する前にビットラインに所定の電圧を印加し、ビットライン電位測定回路によりビットラインの電位の測定を実施することによって、書き込みテストを実施することなく書き込み不良チップの検出ができる。ビットライン電位測定を実施することで、書き込みテスト時に追加書き込みループに入る確率が減少し、書き込みテストの判定による不良品も減少する。また、ビットライン電位の測定は数ナノ秒程度で可能であるので書き込み不良を従来より迅速に検出することができる。このような結果、テスト時間の短縮化が可能となりコストダウンができる。

【図面の簡単な説明】

【図1】従来のEPROMの回路構成例である。

【図2】従来の書き込みテストのフローチャートである。

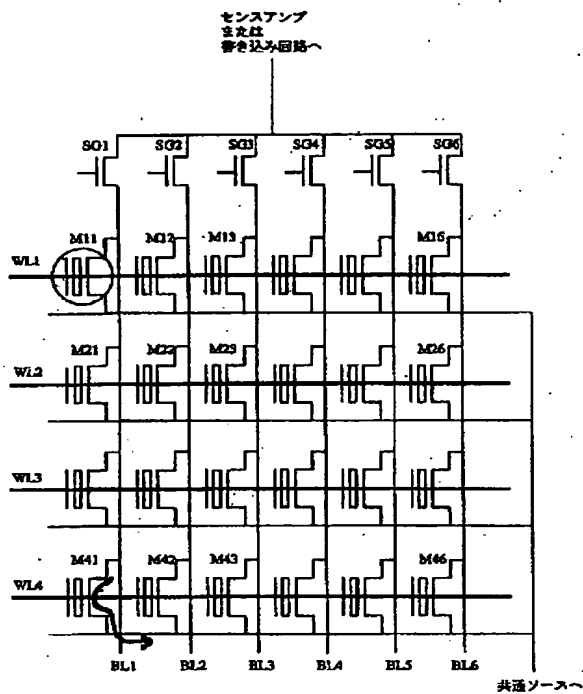
【図3】一実施例のEPROMの回路構成例である。

【図4】一実施例のビットライン電位測定および書き込みテストのフローチャートである。

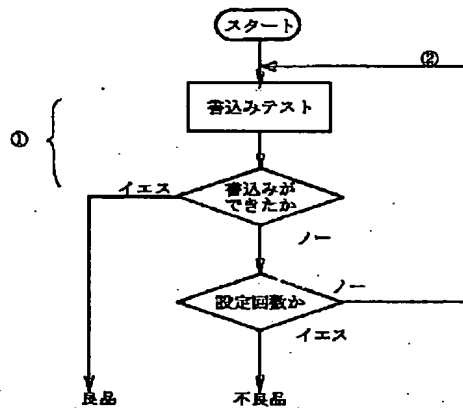
【符号の説明】

M11～M46 メモリートランジスタ
BL1～BL6 ビットライン
WL1～WL4 ワードライン
SG1～SG6 選択トランジスタ

【図 1】



【図 2】



【図 3】

【図 4】

